

⑫ 公開特許公報(A) 平1-133343

⑪ Int. Cl.⁴H 01 L 27/06
21/265
29/72

識別記号

1 0 1

庁内整理番号

B-7373-5F
S-7738-5F
8526-5F

⑬ 公開 平成1年(1989)5月25日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路の製造方法

⑮ 特 願 昭62-292420

⑯ 出 願 昭62(1987)11月19日

⑰ 発 明 者 竹 田 和 男 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑱ 発 明 者 伊 藤 信 雄 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑲ 出 願 人 三 洋 電 機 株 式 会 社 大阪府守口市京阪本通2丁目18番地
 ⑳ 代 理 人 弁 理 士 西 野 卓 嗣 外 1 名

明 細 書

1. 発明の名称

半導体集積回路の製造方法

2. 特許請求の範囲

(1) 一導電型半導体基板の所望の領域に逆導電型の埋込層を形成する工程、

前記基板の上に逆導電型のエピタキシャル層を形成する工程、

前記エピタキシャル層を分離して複数のアイランドを形成する工程、

前記エピタキシャル層の表面の絶縁膜上にレジスト膜を形成し、前記アイランド上に開孔部を有する1回目のレジストパターンを形成する工程、

前記1回目レジストパターンを利用して前記絶縁膜を選択的にドライエッチングすることにより絶縁膜パターンを形成し、前記1回目レジストパターンをマスクとして一導電型の不純物をイオン注入することにより同一不純物濃度を有する縦型バイポーラトランジスタのベース領域と抵抗領域を形成する工程、

全面にフォトリソ膜を形成し、一方の抵抗領域の表面にはその全部又は主要部分を覆うようなレジストパターンを他方の抵抗領域の表面にはその全部を露出し且つ前記1回目レジストパターンのエッジ部分をも露出するような開孔部を拡大したレジストパターンを有する2回目のレジストパターンを形成し、このパターンを利用して選択的に一導電型の不純物をイオン注入することにより前記縦型バイポーラトランジスタのベース領域の不純物濃度を前記抵抗領域のものより増大させる工程、

前記ベース領域を所定の深さに拡散する工程、

前記エピタキシャル層表面から逆導電型の不純物を選択的に拡散することによって前記縦型バイポーラトランジスタのエミッタ領域を形成し、熱処理することによって前記縦型バイポーラトランジスタの h_{FE} を所定の値にコントロールする工程とを具備することを特徴とする半導体集積回路の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明はイオン注入法による抵抗素子を組み込んだ半導体集積回路の、NPNトランジスタの h_{FE} 制御を容易ならしめた製造方法に関する。

(ロ) 従来の技術

バイポーラ型ICは、コレクタとなる半導体層表面にベース・エミッタを2重拡散して形成した縦型のNPNトランジスタを主体として構成されている。その為、前記NPNトランジスタを製造するベース及びエミッタ拡散工程は必要不可欠の工程であり、コレクタ直列抵抗を低減する為の高濃度埋込層形成工程やエピタキシャル層成長工程、各素子を接合分離する為の分離領域形成工程や電気的接続の為の電極形成工程等と並んでバイポーラ型ICを製造するのに欠かせない工程(基本工程)である。

一方、回路的な要求から他の素子、例えばPNPトランジスタ、抵抗、容量、ツェナーダイオード等を同一基板上に組み込みたい要求がある。この場合、工程の簡素化という点から可能な限り前

記基本工程を流用した方が好ましいことは言うまでもない。しかしながら、前記ベース及びエミッタ拡散工程はNPNトランジスタの特性を最重要視して諸条件が設定される為、前記基本工程だけでは集積化が困難な場合が多い。そこで、基本的なNPNトランジスタの形成を目的とせず、他の素子を組み込む為もしくは他素子の特性を向上することを目的として新規な工程を追加することがある。例えば前記エミッタ拡散によるカソード領域とでツェナーダイオードのツェナー電圧を制御するアノード領域を形成する為のP⁺拡散工程、ベース領域とは比抵抗が異なる抵抗領域を形成する為のR拡散工程やインブラ抵抗形成工程、MOS型よりも大きな容量が得られる窒化膜容量を形成する為の窒化膜形成工程、NPNトランジスタのコレクタ直列抵抗を更に低減する為のコレクタ低抵抗領域形成工程等がそれであり、全てバイポーラICの用途や目的及びコスト的な面から検討して追加するか否かが決定される工程(オプション工程)である。

上記オプション工程を利用して形成したインブラ抵抗を第3図に示す。同図において、(1)はP型半導体基板、(2)はN⁺型埋込層、(3)はN型エピタキシャル層、(4)はP⁺型分離領域、(5)はアイランド、(6)はNPNトランジスタのP型ベース領域、(7)及び(8)はNPNトランジスタのN⁺型エミッタ領域及びコレクタコンタクト領域、(9)はイオン注入による抵抗領域、(10)はベース拡散で形成したコンタクト領域である。

そして、第3図のインブラ抵抗は例えば特公昭57-2182号公報に記載されている如く、エミッタ拡散の後で形成していた。

(ハ) 発明が解決しようとする問題点

しかしながら、エミッタ領域(7)形成後に抵抗領域(9)を形成すると、NPNトランジスタの h_{FE} (電流増幅率)をコントロールする熱処理は抵抗領域(9)形成後に行わなければならない。すると、抵抗領域(9)のフォトリソエッチングの前に行う数百℃の熱処理がエミッタ領域(7)を拡散させる為、NPNトランジスタの h_{FE} のばらつきが大き

く、そのコントロールが難しい欠点があった。

また、インブラ抵抗を追加したか否かでエミッタ領域(7)の熱処理条件を変える必要がある為、機種別の工程管理が必要であり、管理の共通化ができない欠点があった。

(ニ) 問題点を解決するための手段

本発明は斯上した欠点に鑑みてなされ、1回目のレジストパターン(27)を利用して抵抗領域(28)とNPNトランジスタのベース領域(29)を形成するボロン(B)をイオン注入する工程と、2回目のレジストパターン(27)を形成し前記1回目レジストパターン(27)を利用してNPNトランジスタのベース領域(29)に再度ボロン(B)をイオン注入する工程と、N型不純物を選択拡散してエミッタ領域(33)を形成した後直ちにNPNトランジスタの h_{FE} コントロールの為の熱処理を行うことを特徴とする。

(*) 作 用

本発明によれば、イオン注入による抵抗領域(28)を形成した後にNPNトランジスタのエミッタ

拡散を行うので、エミッタ領域(33)形成以後の余分な熱処理を除去することができる。

また、1回目レジストパターン(27)をそのまま利用して2回目のイオン注入を行うので、フォトリソエッチング工程の簡略化が図れると共に、ベース領域(29)をも高精度の制御が可能になる。

(ハ) 実施例

以下、本発明の一実施例を図面を参照しながら詳細に説明する。

先ず第1図Aに示す如く、P型のシリコン半導体基板(21)の表面にアンチモン(Sb)又はヒ素(As)等のN型不純物を選択的にドーピングしてN⁺型埋込層(22)を形成し、基板(21)全面に厚さ5～10μmのN型のエピタキシャル層(23)を積層する。

次に第1図Bに示す如く、エピタキシャル層(23)表面からボロン(B)を選択的に拡散することによって、埋込層(22)を夫々取囲むようにエピタキシャル層(23)を貫通するP⁺型の分離領域(24)を形成する。分離領域(24)で囲まれたエピタキシャル層(23)が夫々の回路素子を形成する為のアイラン

ド(25)となる。

次に第1図Cに示す如く、熱酸化を行ってエピタキシャル層(23)全面に酸化膜(26)を形成し、スピコン塗布によって酸化膜(26)上にポジ型のフォトリソレジストを塗布、続いて反射型投影方式又は縮小投影露光方式等の1μm以下の重ね合せ精度を有する露光装置を用いて所望形状のパターンを焼付け、現像することによって1回目のレジストパターン(27)を形成する。

次に第1図Dに示す如く、リアクティブ・イオン・エッチング等のドライエッチングで酸化膜(26)を異方性エッチングすることにより1回目レジストパターン(27)に対応する酸化膜(26)パターンを形成し、その後1回目レジストパターン(27)を除去又は残存させた状態でエピタキシャル層(23)表面から1回目のボロン(B)のイオン注入を行うことにより2つのアイランド(25)表面に同一の不純物濃度を有する抵抗領域(28)とNPNトランジスタのベース領域(29)を夫々形成する。1回目のイオン注入は比抵抗を高くする側の抵抗領域(28)

の不純物濃度に合わせてボロン(B)のドーピング量と加速電圧が選択される。

次に第1図Eに示す如く、1回目のレジストパターン(27)を除去又は残した状態でその表面にネガ型のフォトリソレジスト膜をスピコン塗布し、今度はプロキシミティ露光方式や投影露光方式によって所望形状のパターンを焼付け、現像することによって2回目のレジストパターン(30)を形成する。2回目のレジストパターン(30)は1回目のレジストパターン(27)より遮へい部分を小さくし、酸化膜(26)パターンの開孔部分を前回のパターンより拡大して開孔する。その為、2回目のレジストパターン(30)の開孔部分には前の工程でイオン注入した領域の表面と1回目レジストパターン(27)又は酸化膜(26)パターンのエッジ部分が露出することになる。2回目のレジストパターン(30)の一部分(31)は抵抗領域(28)の両端を除く表面を直接覆い、抵抗領域(28)のコンタクト部分だけを露出する。

次に第1図Fに示す如く、エピタキシャル層(2

3)表面から前回の工程で形成した1回目レジストパターン(27)又は酸化膜(26)パターンを再びマスクとして2回目のボロン(B)のイオン注入を行う。NPNトランジスタのベース領域(29)にはボロン(B)が重ねてイオン注入されるので、この段階で比抵抗を低くする側即ちベース領域(29)の不純物濃度を決めるように2回目イオン注入のドーピング量が設定される。また、ベース領域(29)の不純物濃度は後で形成する電極とのオーミックコンタクトが行えるような不純物濃度とし、それ由抵抗領域(28)の両端にも2回目のイオン注入をすることによってベース領域(29)と同一不純物濃度を有する電極配設用のコンタクト領域(32)を形成する。コンタクト領域(32)の間の抵抗領域(28)は2回目レジストパターン(30)の一部分(31)で覆われているので2回目のボロン(B)がイオン注入されない。その為、2回目レジストパターン(30)の一部分(31)で覆われた部分の不純物濃度は1回目のイオン注入により設定された不純物濃度がそのまま残り、この領域がインプラ抵抗の抵抗値を実質

的に決定する領域となる。また、不純物濃度が低いので前述したコンタクト領域(32)が必要となる。その後1回目及び2回目レジストパターン(27)(30)を除去し、全体をCVDの酸化膜(26)で覆うと共にベース領域(29)を一定深さにまで拡散する熱処理を行う。

尚、2回目のイオン注入の段階で1回目レジストパターン(27)の有無は問わないが、残しておいた場合にはエッチング工程が1回省ける利点と酸化膜(26)の膜厚を薄くできる利点を有する。

次に第1図Gに示す如く、NPNトランジスタのベース領域(29)表面とアイランド(25)表面の酸化膜(26)を開孔し、この酸化膜(26)をマスクとしてリン(P)をデポジットし、ガラス膜を除去した後直ちに酸化性又は非酸化性雰囲気内の熱処理を加え、リン(P)をドライブインすることによってNPNトランジスタのエミッタ領域(33)とコレクタコンタクト領域(34)を形成する。本工程のドライブインでNPNトランジスタの h_{FE} (電流増幅率)をコントロールする。

抵抗値の変動が最も少い構造とし、この構造とすることにより2回目レジストパターン(30)の一部分(31)の側端部(37)をコンタクト領域(32)の側端部(38)と一致させてある。その為、インプラ抵抗の占有面積を最も小さくでき、マスクずれによる抵抗値の変動を僅ど無視できると共に、ベース領域(29)をインプラ抵抗と同じ高精度で製造することができる。

斯上した本願の製造方法によれば、エミッタ領域(33)形成の前にイオン注入による抵抗領域(28)の形成を行うので、エミッタ領域(33)形成用のリン(P)をデポジットした後余分な熱処理を配置すること無く直ちにNPNトランジスタの h_{FE} コントロールの為のドライブインへ移行することができる。その為、NPNトランジスタの h_{FE} (電流増幅率)のばらつきが少く、インプラ抵抗を組み込んだことによる h_{FE} コントロールの難しさを解消できる。また、インプラ抵抗を組み込む組み込まないにかかわらずエミッタ領域(33)の熱処理条件を一本化できるので、機種別の工程管理が容易

次に第1図Hに示す如く、酸化膜(26)の所定部分をエッチング開孔してコンタクトホールを形成した後、エピタキシャル層(23)全面に周知の蒸着又はスパッタ技術によりアルミニウム層を形成し、このアルミニウム層をパターニングすることによって各領域上に電極(35)を配設する。

上述した製法により形成したインプラ抵抗の平面図は第2図の如くなる。同図において、(25)はアイランド、(28)は抵抗領域、(32)はコンタクト領域、(36)はコンタクトホール、そして(31)は第1図Eにおける2回目レジストパターン(30)の一部分の形状を示す。抵抗領域(28)の線幅とコンタクト領域(32)の大きさは第1図Cの1回目のレジストパターン(27)によって既に決定されるので、このインプラ抵抗の抵抗値はコンタクト領域(32)間の距離では無く2回目レジストパターン(30)の一部分(31)が覆う抵抗領域(28)の長さで決まる。その為、本実施例ではコンタクト孔(36)の大きさを抵抗領域(28)の線幅以下とすることによってコンタクト領域(32)の不純物濃度の変化による

になる。

そして更に、本願はベース領域(29)をもイオン注入で形成し、抵抗領域(28)と同じフォトリソエッチング精度で形成できるので極めて制御性に優れる。しかも、抵抗領域(28)とベース領域(29)を同時形成するので工程の簡略化が図れ、高精度の工程が1度で済む。

(ト) 発明の効果

以上説明した如く、本発明によればインプラ抵抗をオプションデバイスとして追加したことによるNPNトランジスタの h_{FE} のばらつきが僅ど無い、NPNトランジスタの h_{FE} のコントロールが極めて容易な半導体集積回路の製造方法を提供できる利点を有する。また、エミッタ領域(33)の熱処理条件を一本化できるので、機種別の工程管理を簡略化でき、さらには異なる機種のウェハを同一拡散炉内で熱処理するといった多機種少量生産が可能になる利点をも有する。

そして更に、本願によれば抵抗領域(28)とベース領域(29)を同時形成するので工程の簡略化が図

れると共に、ベース領域(29)をも抵抗領域(28)と同じ高精度で形成でき、しかも高精度のフォトリソグラフィは1度で済む利点を有する。その為、前記エミッタ領域(33)の制御性の良さとベース領域(29)の制御性の良さによってより一層NPNトランジスタの制御性に優れた半導体装置の製造方法を提供できる利点を有する。

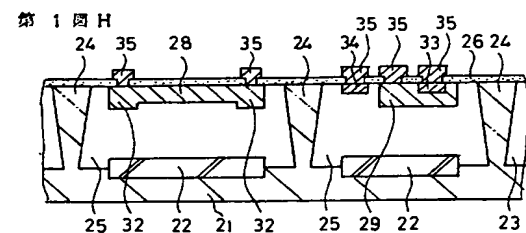
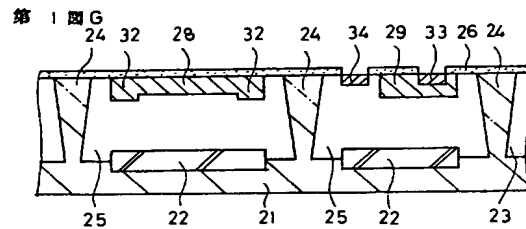
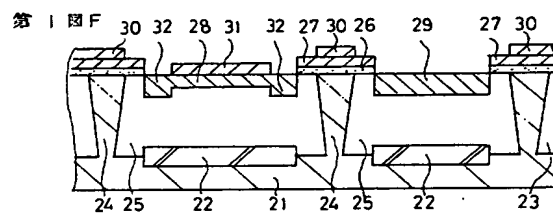
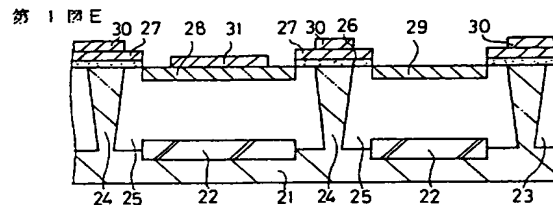
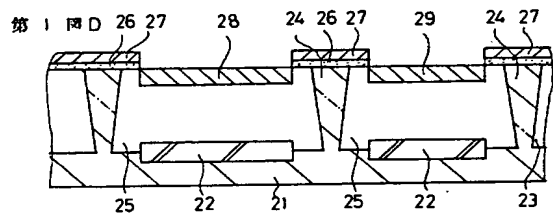
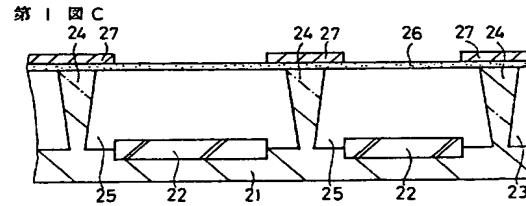
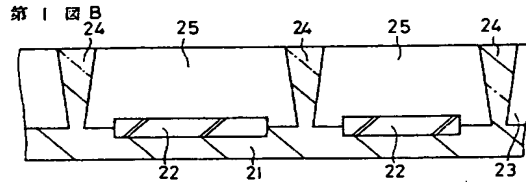
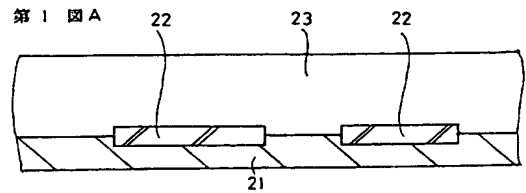
4. 図面の簡単な説明

第1図A乃至第1図Hは夫々本発明を説明する為の断面図、第2図は本発明を説明する為の平面図、第3図は従来例を説明する為の断面図である。

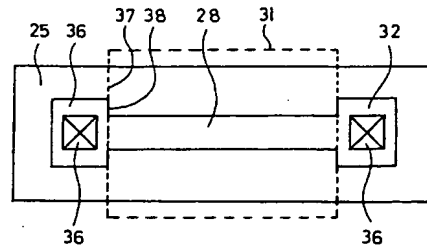
(21)はP型半導体基板、(27)は1回目レジストパターン、(28)は抵抗領域、(29)はベース領域、(30)は2回目レジストパターン、(33)はエミッタ領域である。

出願人 三洋電機株式会社

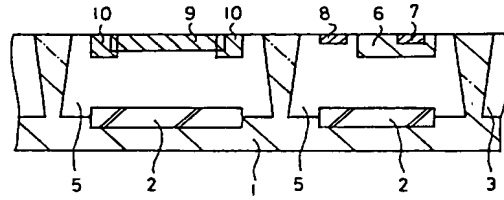
代理人 弁理士 西野卓朗 外1名



第 2 圖



第 3 圖



PATENT ABSTRACTS OF JAPAN

81

(11)Publication number : 01-133343

(43)Date of publication of application : 25.05.1989

(51)Int.Cl.

H01L 27/06
H01L 21/265
H01L 29/72

(21)Application number : 62-292420

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.11.1987

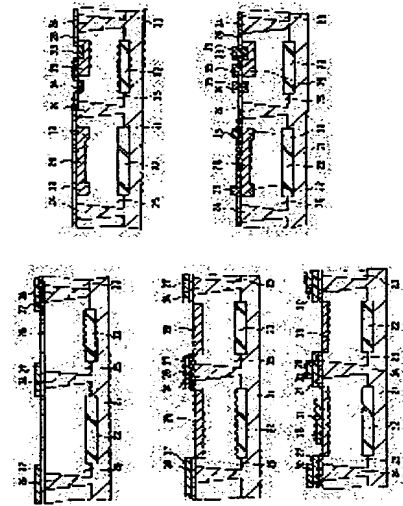
(72)Inventor : TAKEDA KAZUO
ITO NOBUO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To simplify a photoetching process, by forming a resistance region with the ion implantation prior to the formation of an emitter region and forming even a base region by ion implantation as well.

CONSTITUTION: Boron which forms a resistance region 28 as well as the base region 29 of an NPN transistor is ion-implanted by making use of a first resist pattern 27. Then, a second resist pattern 30 is formed and boron is again ion-implanted in the base region 29 of the NPN transistor by making use of the first resist pattern 27. As soon as an emitter region 33 is formed by diffusing selectively N-type impurities, heat-treatment is carried out at once so as to control hFE of the NPN transistor. As emitter diffusion of the NPN transistor is performed after forming the resistance region 28 by ion implantation, surplus heat-treatment is removed after forming the emitter region 33 and a photoetching process is simplified as well.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]